



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000228364 A**(43) Date of publication of application: **15 . 08 . 00**

(51) Int. Cl.

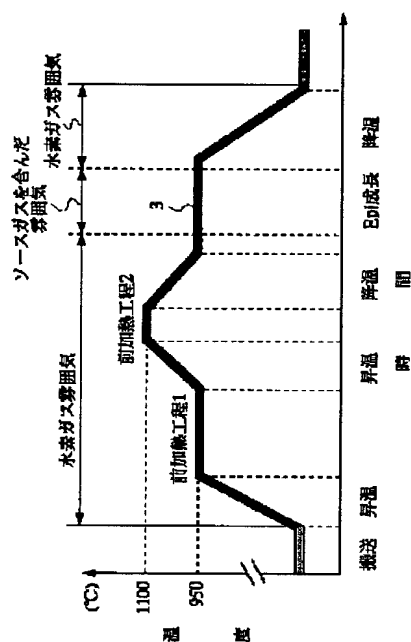
H01L 21/205
H01L 21/20(21) Application number: **11028476**(22) Date of filing: **05 . 02 . 99**(71) Applicant: **HITACHI LTD HITACHI TOKYO**
ELECTRONICS CO LTD(72) Inventor: **KONDO TAIICHI**
KAWAKAMI KENJI
OKUDA MASAHIRO
KATAOKA MASATSUGU
AOYANAGI RYOICHI
NAKAMURA KATSUMI
KAWABE YUKIO
KOMATSU TADASHI**(54) METHOD OF PRODUCING EPITAXIAL WAFER**
AND SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce misting defect of an epitaxial wafer.

SOLUTION: In an epitaxial wafer producing method, on the principal surface of a semiconductor wafer, a preheating step 1 for heating the semiconductor wafer at 950°C under a hydrogen gas atmosphere and a preheating step 2 for heating the semiconductor wafer at 1,100°C under a hydrogen gas atmosphere are successively performed before an epitaxial growth step 3 at 950°C using SiH₄ as source gas. Organic substance attached to the semiconductor wafer is resolved and removed, without producing a reaction product with the surface of the semiconductor wafer in the preheating step 1, natural oxide is removed through reduction in the preheating step 2, and then an epitaxial growth is performed on the clean surface of the semiconductor wafer, thereby preventing failures such as misting and the like in the epitaxial wafer.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2000-228364
(P2000-228364A)

(43)公開日 平成12年8月15日(2000.8.15)

(51)Int.Cl. ⁷	識別記号	FI	テーマコード(参考)
H01L 21/205		H01L 21/205	5F045
21/20		21/20	5F052

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号 特願平11-28476

(22)出願日 平成11年2月5日(1999.2.5)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233505
日立東京エレクトロニクス株式会社
東京都青梅市藤橋3丁目3番地の2
(72)発明者 近藤 泰一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内
(74)代理人 100080001
弁理士 筒井 大和

最終頁に続く

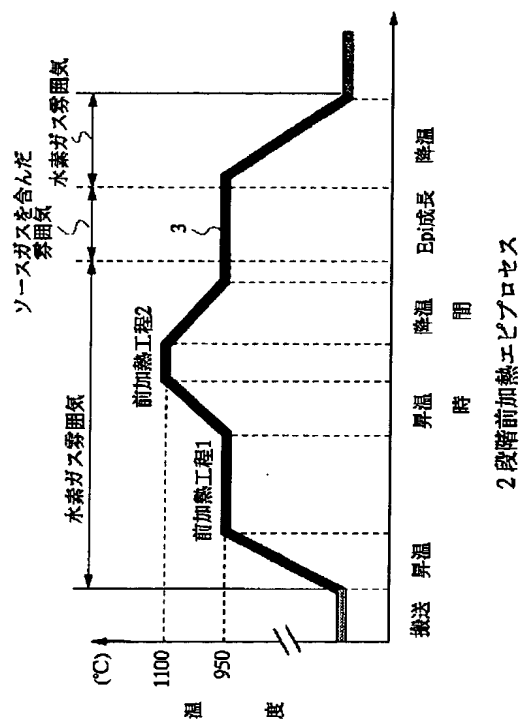
(54)【発明の名称】 エピタキシャルウェハの製造方法および半導体装置の製造方法

(57)【要約】

【課題】 エピタキシャルウェハのくもり不良を低減する。

【解決手段】 半導体ウェハの主面に対して、 SiH_4 をソースガスとする950℃でのエピタキシャル成長工程3に先立って、水素ガス雰囲気中で、950℃で半導体ウェハを加熱する前加熱工程1および1100℃で半導体ウェハを加熱する前加熱工程2を連続して行い、前加熱工程1にて半導体ウェハに付着した有機物を半導体ウェハの表面との反応生成物を生じさせることなく分解除去した後、前加熱工程2にて還元反応により自然酸化膜を除去し、その後、清浄な半導体ウェハの表面にエピタキシャル成長を実行することで、エピタキシャルウェハにおけるくもり不良等の発生を防止する。

図1



【特許請求の範囲】

【請求項 1】 半導体ウェハの一主面にエピタキシャル層を形成してなるエピタキシャルウェハの製造方法であって、

前記エピタキシャル層の形成に先立って、還元性ガスの雰囲気中において、前記半導体ウェハを異なる温度にて複数段階で加熱処理を行うことを特徴とするエピタキシャルウェハの製造方法。

【請求項 2】 請求項 1 記載のエピタキシャルウェハの製造方法において、前記エピタキシャル層の形成に先立って、前記還元性ガスの雰囲気中において、前記半導体ウェハを第 1 の温度で加熱処理した後、前記第 1 の温度よりも高い第 2 の温度で加熱処理を行うことを特徴とするエピタキシャルウェハの製造方法。

【請求項 3】 請求項 1 記載のエピタキシャルウェハの製造方法において、前記還元性ガスは水素ガスであり、前記第 1 の温度は 950℃以下であり、前記第 2 の温度は 1100℃±50℃であることを特徴とするエピタキシャルウェハの製造方法。

【請求項 4】 半導体ウェハに薄膜を形成する工程を含む半導体装置の製造方法であって、前記薄膜の形成に先立って、還元性ガスの雰囲気中において、前記半導体ウェハを異なる温度にて複数段階で加熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、前記還元性ガスの雰囲気中において、前記半導体ウェハを第 1 の温度で加熱処理した後、前記第 1 の温度よりも高い第 2 の温度で加熱処理し、その後、前記半導体ウェハの表面に前記薄膜の形成を行うことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 または 5 記載の半導体装置の製造方法において、前記薄膜は、エピタキシャル層、または化学気相成長膜、またはスパッタ膜であることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 5 記載の半導体装置の製造方法において、前記還元性ガスは水素ガスであり、前記第 1 の温度は 950℃以下であり、前記第 2 の温度は 1100℃±50℃であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エピタキシャルウェハの製造技術および半導体装置の製造技術に関し、特に、エピタキシャルウェハを用いる半導体装置の製造工程等に適用して有効な技術に関する。

【0002】

【従来の技術】単結晶引上げ法等で製造された半導体ウェハの表面にエピタキシャル層を形成するエピタキシャル成長技術は、結晶性や不純物濃度の制御性の良さなどから、バイポーラデバイスや、CCD等の製造プロセス

では不可欠の技術となっている。また、MOSデバイス等の製造工程においても、デバイス構造の微細化に伴うラッチアップ対策や α 線によるソフトエラー対策等として採用されつつある。

【0003】エピタキシャル成長技術は、ウェハ全面にエピタキシャル層を気相成長させる方法が量産技術として確立されている。

【0004】図 8 に参考技術の低温エピタキシャル成長のプロセスを示す。エピタキシャル成長前にウェハ表面の自然酸化膜を除去するために、1100℃程度で前加熱を実行している。その後、ソースガスとして、たとえば S_2H_4 を用いる場合には950℃でエピタキシャル成長を行っている。

【0005】

【発明が解決しようとする課題】ところで、半導体ウェハの製造工程では、ウェハ平面やエッジ部の平坦化や整形工程等において、たとえばポリエチレンテレフタレート等の有機繊維素材からなる研磨布を用いた研磨処理が行われるが、たとえばウェハ表面やエッジ部の微細なクラック等に研磨布の繊維が入り込み、洗浄等でも除去できずに後のエピタキシャル成長や薄膜形成工程に異物として持ち込まれる場合のあることが本発明者らの研究にて明らかとなった。

【0006】そして、上述の図 8 に示した参考技術のエピタキシャル成長プロセスでは、エピタキシャル成長前の自然酸化膜の除去を目的とした1100℃の高温の前加熱において、上述のようにしてウェハに付着して持ち込まれた有機物等がシリコンウェハと反応し、これにより有機物の付着部位近傍のウェハ表面が荒れてくもった状態になるくもり不良を発生させ、エピタキシャルウェハの品質を低下させる一因となる、という技術的課題があった。

【0007】本発明の目的は、エピタキシャル成長前の半導体ウェハの清浄度を向上させ、エピタキシャルウェハ表面のくもり不良率を減少させることが可能なエピタキシャルウェハの製造技術を提供することにある。

【0008】本発明の他の目的は、薄膜形成前の半導体ウェハの清浄度を向上させ、半導体ウェハに形成される薄膜の品質、さらには半導体装置の歩留りを向上させることが可能な半導体装置の製造技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】本発明は、半導体ウェハの一主面にエピタキシャル層を形成してなるエピタキシャルウェハの製造

方法において、エピタキシャル層の形成に先立って、還元性ガスの雰囲気中において、半導体ウェハを異なる温度にて複数段階で加熱処理を行うものである。

【0012】また、本発明は、半導体ウェハに薄膜を形成する工程を含む半導体装置の製造方法において、薄膜の形成に先立って、還元性ガスの雰囲気中において、半導体ウェハを異なる温度にて複数段階で加熱処理を行うものである。

【0013】より具体的には、一例として、エピタキシャル成長前の半導体ウェハ表面の清浄度向上、特に、有機物汚染を除去するために、エピタキシャル成長前の熱処理を2段階にするものである。すなわち、まず、水素中で950℃以下の温度での熱処理を施してウェハ表面の有機物を、当該有機物とウェハ表面のシリコン等との反応生成物を生じさせることなく除去し、引き続き1100℃程度の温度での熱処理を施し、ウェハ表面の自然酸化膜を還元して除去する。この加熱処理の後にエピタキシャル成長等の任意の薄膜形成を行う。

【0014】本発明では、エピタキシャル成長処理や薄膜形成処理に先立ってウェハ表面の清浄度を向上でき、エピタキシャルウェハ表面のくもり不良率を低減できる。量産適用の結果、不良率を約1/3に低減できた。さらに、エピタキシャルウェハの品質が向上し、エピタキシャルウェハを用いたウェハプロセスにて製造されるMOSデバイス等の半導体装置の歩留および信頼性を向上できる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0016】図1は、本発明の一実施の形態であるエピタキシャルウェハの製造方法の作用の一例を示す線図であり、図2は、その工程の一例を示すフローチャートである。また、図6は、本発明のエピタキシャルウェハの製造方法および半導体装置の製造方法にて用いられる薄膜形成装置の構成の一例を示す概念図である。

【0017】まず、図6にて、本実施の形態のエピタキシャルウェハの製造方法にて用いられる薄膜形成装置10について説明する。

【0018】石英ドーム等で構成される処理室11の内部には、図示しないモータ等にて回転されるサセプタ12が設けられ、このサセプタ12の上には、エピタキシャル層等の薄膜が形成される半導体ウェハ13が載置される。

【0019】処理室11の外周を取り囲む位置には、処理室11の内部の半導体ウェハ13を所望の温度で加熱する操作を行う複数の赤外線ランプ14が配置されている。また、処理室11には、当該処理室11の内部に所望のソースガスや還元性の雰囲気ガス等を供給するためのガス供給部15、および処理室11の内部の圧制御や排気を行うための排気ポンプ16等が接続されている。

【0020】また、処理室11の外部には、複数の赤外線ランプ14にて加熱される処理室11の内部の半導体ウェハ13からの赤外線輻射等を観測することによって半導体ウェハ13の温度を測定する温度計17が設けられている。

【0021】また、複数の赤外線ランプ14、ガス供給部15、排気ポンプ16、温度計17は、マイクロコンピュータ等で構成されるプロセス制御部18に接続されている。

【0022】プロセス制御部18は、ガス供給部15および排気ポンプ16を制御して処理室11の内部の圧や雰囲気ガスを制御する。また、プロセス制御部18は、温度計17から得られる処理室11の内部の温度データに基づくフィードバック制御により複数の赤外線ランプ14の加熱出力を制御することで、処理室11の内部の半導体ウェハ13の昇温操作/降温操作や加熱温度を随意に制御する。

【0023】本実施の形態の場合、プロセス制御部18には後述のような薄膜形成前に半導体ウェハ13の加熱温度を、処理室11の内部のガス雰囲気の制御と対応付けて、複数段階に設定して実行するための加熱温度プロファイルデータ19が入力される構成となっており、エピタキシャル成長等の薄膜形成前に、水素ガス等の還元性ガス雰囲気において、半導体ウェハ13を、異なる温度で複数段階に加熱する処理の後、任意のソースガスを用いた薄膜形成処理を連続して実行する機能を備えている。

【0024】図2に例示されるように、本実施の形態のエピタキシャルウェハの製造方法では、まず、たとえば単結晶引上げ(CZ)法にてSi等の半導体の単結晶インゴットを製造し(ステップ101)、この単結晶インゴットをスライスしてウェハを作り(ステップ102)、このウェハの表面を鏡面研磨する(ステップ103)。さらに、研磨ウェハの洗浄を行った後(ステップ104)、外観検査等にて異物等の表面欠陥の検査を行う(ステップ105)。

【0025】検査に合格したウェハは半導体ウェハ13として、上述の図6のような構成の薄膜形成装置を用いた、エピタキシャル薄膜の形成工程に供され、表面にエピタキシャル層が形成される(ステップ106)。

【0026】このエピタキシャル薄膜の形成工程では、本実施の形態の場合、図1に例示されるように、たとえばSi₃H₄等をソースガスとする950℃の加熱温度下での気相成長等によるエピタキシャル成長工程3(ステップ106c)に先立って、水素ガス等の還元性ガスの雰囲気中で、前加熱工程1(ステップ106a)および前加熱工程2(ステップ106b)からなる複数段階の加熱処理を実施する。

【0027】すなわち、本実施の形態の場合、このエピタキシャル成長工程ではエピタキシャル成長前の水素ガ

ス中の前加熱を2段階にしている。水素ガス中での前加熱工程1（たとえば、950℃以下の温度、たとえば950℃～700℃）により、半導体ウェハ13に付着している有機物を、たとえば半導体ウェハ13の表面との反応生成物を生じさせることなく分解して除去する。さらに、水素ガス中で連続して前加熱工程2（たとえば、1100℃±50℃）を実行して、半導体ウェハ13の表面の自然酸化膜を還元除去する。その後、有機物や自然酸化膜等が除去された清浄な半導体ウェハ13の表面に対して、たとえば S_iH_x 等をソースガスとするエピタキシャル成長工程3（この場合は950℃）を実行する。

【0028】図8の参考技術のように、エピタキシャル成長前の熱処理が高温（1100℃）の場合、半導体ウェハ13に付着した有機物が分解する際に半導体ウェハ13を構成するシリコン（ Si ）等との反応が進行し、有機物の付着部位近傍の半導体ウェハ13の表面が荒れ、くもり不良を発生させる。これは、高温下で半導体ウェハ13を構成するシリコン（ Si ）と有機物とが反応し、シリコン表面が荒れることが原因として考えられ

る。

【0029】図7に有機物の付着部位のくもり発生のエピタキシャル成長前の加熱温度に対する依存性を示す。この図7の結果から、エピタキシャル成長前の加熱処理として1100℃の単一温度で前加熱する参考技術の場合よりも、より低温（たとえば、本実施の形態の場合は900～950℃）で水素ガス中にて熱処理（前加熱工程1）をすることにより、半導体ウェハ13に付着した有機物を除去できることがわかる。その後、そのままエピタキシャル成長を実行するとウェハ全面にくもりが発生する原因となるウェハ表面の自然酸化膜を除去するために、高温の熱処理（前加熱工程2）（本実施の形態の場合は1100℃±50℃）を実行する。

【0030】なお、図7から読み取れるように、前加熱工程1の加熱温度の範囲は、約950℃以下で、半導体ウェハ13に付着した有機物等を加熱分解して除去できる温度以上とする。たとえば図1におけるウェハの搬送工程の温度は700℃程度であるので、実用的には、前加熱工程1の加熱温度の範囲は、約950℃～700℃とすることができる。

【0031】また、自然酸化膜を除去するための高温の前加熱工程2の温度は、高すぎると半導体ウェハ13を熱損傷する原因となるので、熱損傷を生じないでかつ自然酸化膜を還元除去できる温度範囲として、たとえば1100℃±50℃に設定することができる。

【0032】この2段階の加熱処理の制御は、上述の薄膜形成装置10においてプロセス制御部18に入力する上述の加熱温度プロファイルデータ19を目的の温度プロファイルになるように設定することで実現できる。

【0033】こうして得られた、くもり不良等のないエ

ピタキシャルウェハ（半導体ウェハ13）は、任意の半導体装置の製造プロセスに供される（ステップ107）。

【0034】このように、所望のソースガスを用いたエピタキシャル成長に先立って、水素ガス等の還元性ガスの雰囲気中で温度の異なる複数段階の加熱処理を実行することにより、エピタキシャル成長工程を経て得られるエピタキシャルウェハの表面の、有機物汚染等に起因するくもり不良を大幅に低減できる。量産適用の結果、くもり不良の不良率を約1/3に低減できることが確認されている。たとえば、エピタキシャルウェハは、通常の鏡面研磨のみのバルクウェハの1.5倍程度の価格で取引されているが、本実施の形態のように不良率を約1/3に低減できることで、エピタキシャルウェハの製造原価を大幅に低減できる。

【0035】さらに、本実施の形態のエピタキシャルウェハを用いる半導体装置の製造工程では、エピタキシャルウェハのくもり不良等に起因するMOSデバイス等のゲート耐圧劣化やリーク電流増大等のデバイス不良が減少し、製造されるMOSデバイス等の半導体装置の動作特性の安定化や歩留りが向上する。

【0036】なお、上述の図1等の説明では、異なる温度での複数段階の加熱処理の後に引き続いてエピタキシャル成長を実行する場合を例示したが、図3に例示されるように、異なる温度での複数段階の加熱処理（たとえば前加熱工程1および前加熱工程2）を実行した後、一旦、降温させた後に、処理されたウェハをエピタキシャル成長等の任意の薄膜形成工程に供してもよい。

【0037】次に、本発明の半導体装置の製造方法の一実施の形態を説明する。

【0038】図4は、本実施の形態の半導体装置の製造方法の作用の一例を示す線図であり、図5は、本実施の形態の半導体装置の製造方法の一例を示すフローチャートである。

【0039】図5のフローチャートに例示されるように、本実施の形態の半導体装置の製造方法では、まず、たとえば単結晶引上げ（CZ）法にて Si 等の半導体の単結晶インゴットを製造し（ステップ201）、この単結晶インゴットをスライスしてウェハを作り（ステップ202）、このウェハの表面を鏡面研磨する（ステップ203）。

【0040】こうして得られた研磨ウェハは、フォトリソグラフィによる回路パターン形成等を行うウェハプロセスに供され、所定の半導体回路パターンが形成された後（ステップ204）、ウェハをペレット毎に分割するダイシング工程（ステップ205）、ペレットボンディングやワイヤボンディング等のボンディング工程（ステップ206）、ペレットの封止を行うパッケージング工程（ステップ207）、等を経て、所望の半導体装置として出荷される。

【0041】本実施の形態の場合には、図4の線図に例示されるように、ステップ204のウェハプロセスにおいて、たとえば、エピタキシャル成長、CVD、スパッタリング等の薄膜形成を行う場合には、薄膜形成に先立って、必要に応じて、水素ガス等の還元性ガスの雰囲気中で、温度の異なる複数段階の加熱処理を行う。

【0042】すなわち、本実施の形態の場合、図4に例示されるように、所望の温度でのCVD等の任意の薄膜形成（ステップ204c）に先立って、水素ガス等の還元性ガスの雰囲気中で、前加熱工程1（たとえば、950℃）（ステップ204a）および前加熱工程2（たとえば、1100℃）（ステップ204b）からなる複数段階の前加熱処理を連続して実施する。

【0043】これにより、薄膜形成前の半導体ウェハに付着している有機物等が、ウェハ表面上に反応生成物を生じることなく除去されて清浄度が向上し、欠陥等が減少するとともに、プロセスの不安定化をもたらす自然酸化膜が除去され、良質の薄膜を半導体ウェハの表面に形成することが可能になる。この結果、この薄膜を用いて形成されるMOSデバイス等において、エピタキシャルウェハのくもり不良に起因するデバイス不良が減少し、半導体装置の動作特性の安定化や歩留りの向上等を実現することができる。

【0044】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0045】たとえば、上述の実施の形態で示した複数段階の各々における加熱温度の値は一例であり、必要に応じて任意の値を設定することができる。また、加熱段階は上述の実施の形態で例示した2段階に限らず、3段階以上で実施してもよい。

【0046】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0047】本発明のエピタキシャルウェハの製造方法によれば、エピタキシャル成長前の半導体ウェハ表面の清浄度を向上させ、エピタキシャルウェハ表面のくもり不良率を減少させることができる、という効果が得られる。

【0048】また、本発明の半導体装置の製造方法によ*

*れば、薄膜形成前の半導体ウェハ表面の清浄度を向上させ、半導体ウェハ表面に形成される薄膜の品質、さらには半導体装置の歩留りを向上させることができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるエピタキシャルウェハの製造方法の作用の一例を示す線図である。

【図2】本発明の一実施の形態であるエピタキシャルウェハの製造方法の工程の一例を示すフローチャートである。

【図3】本発明の一実施の形態であるエピタキシャルウェハの製造方法の作用の一例を示す線図である。

【図4】本発明の一実施の形態である半導体装置の製造方法の作用の一例を示す線図である。

【図5】本発明の一実施の形態である半導体装置の製造方法の一例を示すフローチャートである。

【図6】本発明の一実施の形態であるエピタキシャルウェハの製造方法および半導体装置の製造方法等に用いられる薄膜形成装置の構成の一例を示す概念図である。

【図7】エピタキシャルウェハにおける有機物付着部位のくもり発生のエピタキシャル成長前の加熱温度に対する依存性を示す線図である。

【図8】本発明の参考技術である低温エピタキシャル成長のプロセスを示す線図である。

【符号の説明】

- 1 前加熱工程（第1の加熱温度での加熱処理）
- 2 前加熱工程（第2の加熱温度での加熱処理）
- 3 エピタキシャル成長工程

10 薄膜形成装置

11 処理室

12 サセプタ

13 半導体ウェハ

14 赤外線ランプ

15 ガス供給部

16 排気ポンプ

17 温度計

18 プロセス制御部

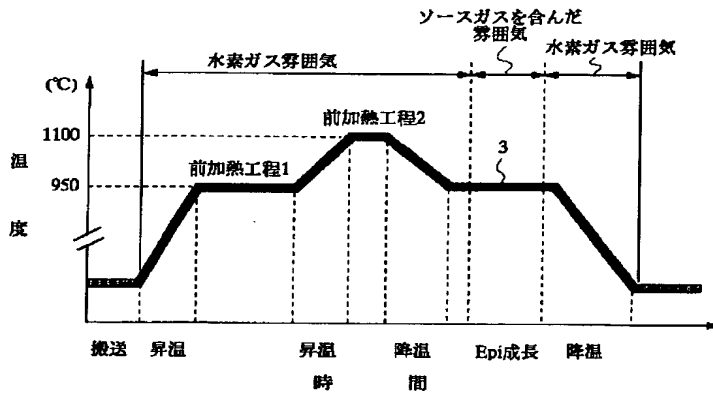
19 加熱温度プロファイルデータ

101～107 エピタキシャルウェハの製造工程の各ステップ

201～207 半導体装置の製造方法の各ステップ

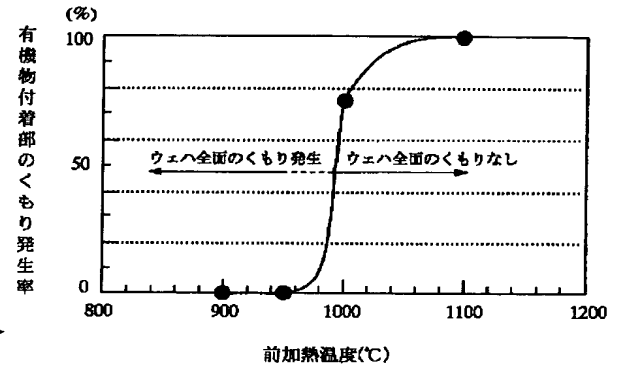
【図1】

図 1



【図7】

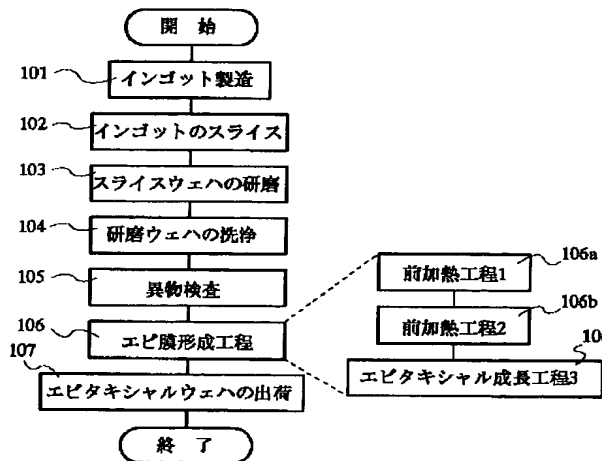
図 7



有機物付着部のくもり発生のエピ前加熱温度依存性

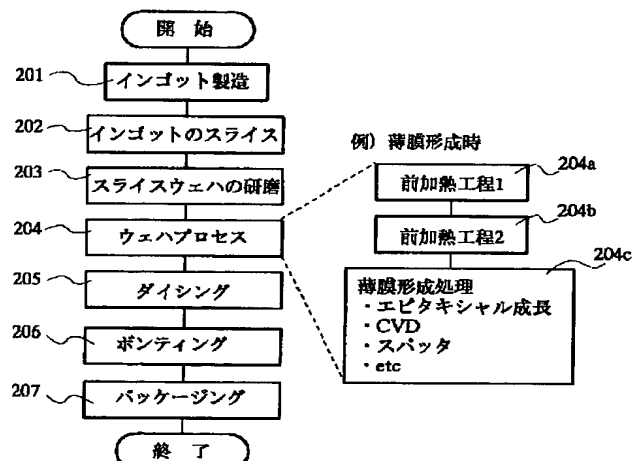
【図2】

図 2



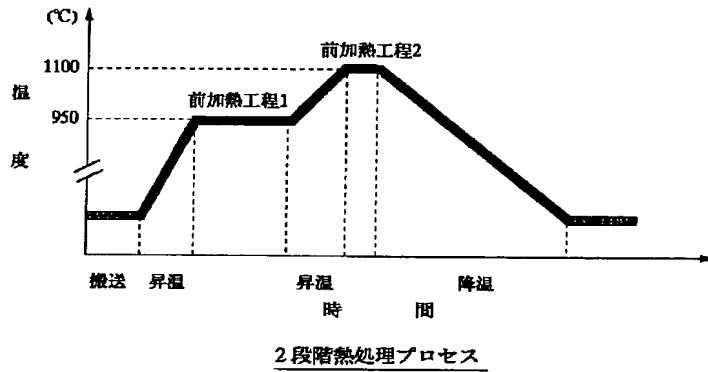
【図5】

図 5



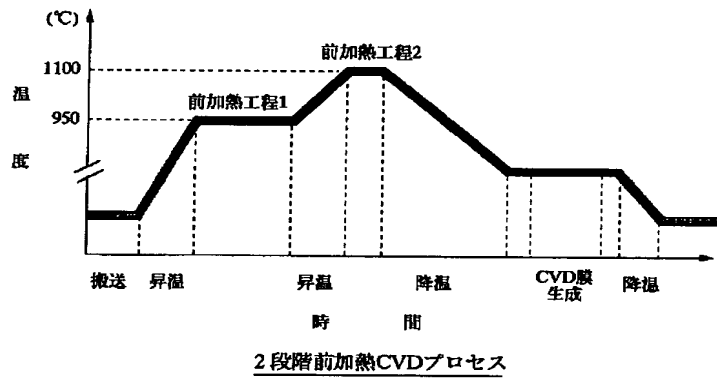
【図3】

図 3



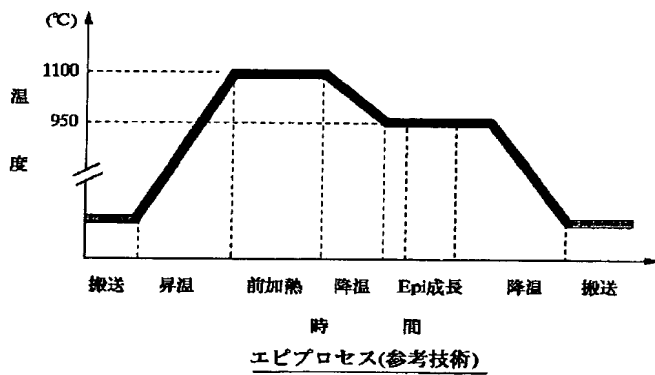
【図4】

図 4



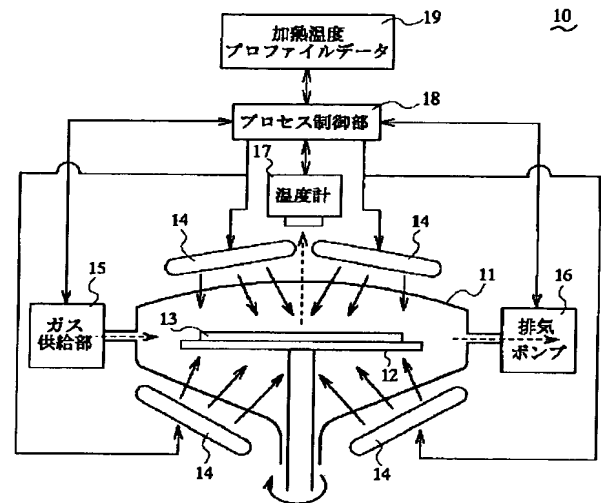
【図8】

図 8



【図6】

図 6



フロントページの続き

- (72)発明者 河上 賢司
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内
- (72)発明者 奥田 昌弘
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 片岡 正嗣
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 青柳 良一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内

- (72)発明者 中村 克己
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 川辺 由紀夫
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 小松 正
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内
- Fターム(参考) 5F045 AA03 AA19 AB02 AC01 AD13
AD14 AD15 AD16 AF03 BB14
CA01 CA13 DP04 EK27 HA06
5F052 JA01 KA05